

64-019761

THIN FILM TRANSISTOR

Patent Number: JP1019761
Publication date: 1989-01-23
Inventor(s): TERAOKA NORIYUKI; others: 02
Applicant(s): RICOH CO LTD; others: 01
Requested Patent: JP1019761
Application Number: JP19870176108 19870714
Priority Number(s):
IPC Classification: H01L27/14 ; G02F1/133 ; G09F9/30 ; H01L27/12 ; H01L29/78 ; H04N1/028
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent the characteristics of a transistor from deteriorating due to the response property of an OFF current value to light in a thin film transistor formed using a polycrystalline Si layer as an active layer on a transparent insulating substrate by a method wherein a light-shielding layer is provided on the surface on the side opposite to the surface, whereon the transistor is constituted, of the substrate.

CONSTITUTION:An active polycrystalline Si layer 2, a gate insulating film 3 and a gate electrode 4 are laminated in order on the surface of a transparent insulating substrate 1, an interlayer insulating film 5 is provided on these and moreover, a metal wiring 6 is provided to constitute a thin film transistor. A light-shielding layer 7 is provided on the side opposite to the side of the surface of the substrate 1, whereon such a transistor is provided, that is, on the rear of the substrate 1. By forming this layer 7 using poly Si, the layer 7 functions as a light-shielding layer to light from the rear and shows the same photo absorption as that of the active layer. Thereby, the trouble due to the response property of an OFF current value to light is prevented and the OFF current value is kept at a low value and is stabilized.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭64-19761

⑮ Int.Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和64年(1989)1月23日
H 01 L 27/14		C-8122-5F	
G 02 F 1/133	3 2 7	7370-2H	
G 09 F 9/30	3 3 8	7335-5C	
H 01 L 27/12		A-7514-5F	
29/78	3 1 1	N-7925-5F	
H 04 N 1/028		Z-7334-5C	審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-176108

⑰ 出 願 昭62(1987)7月14日

⑱ 発 明 者 寺 尾 典 之 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内

⑲ 発 明 者 佐 野 豊 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内

⑳ 発 明 者 池 口 弘 東京都大田区中馬込1丁目3番6号 株式会社リコー内

㉑ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉒ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1 株式会社

㉓ 代 理 人 弁理士 佐田 守雄 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 透明絶縁基板上に活性層として多結晶シリコンを形成した薄膜トランジスタにおいて、該透明絶縁基板のトランジスタを構成する面と反対側面に遮光層を設けたことを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔技術分野〕

本発明は透明絶縁基板上に構成し、オフ電流値の光応答性に起因するトランジスタの特性劣化を防止した薄膜トランジスタに関する。

〔従来技術〕

一般に、センサー部とその駆動回路部とが一体的に透明絶縁基板上に形成される等倍イメージセンサーあるいは液晶ディスプレイ等における駆動回路となる薄膜トランジスタ(以下、TFTという)においては、TFT部に光入射が

不可避的に生ずることから、例えば活性層をアモルファスシリコンで形成した場合、オフ電流値が光応答性をもち、すなわち光を照射するとオフ電流値が増加し、トランジスタの特性劣化、不安定さが問題となっていた。このトランジスタの光応答性の問題は活性層がアモルファスシリコンである場合に限らず、例えば多結晶シリコンを用いる場合においてトランジスタの特性向上のため水素処理が研究、応用され始め、この水素処理による多結晶シリコン結晶粒界のパッシベーションによりオフ電流値が光応答性をもつようになり、トランジスタの特性劣化、不安定さが生ずるという問題点を有するものであった。

〔目 的〕

本発明はTFTが形成される基板として透明絶縁基板を使用し、活性層が多結晶シリコンで形成された場合の上記した問題点すなわち、オフ電流値が光応答性をもつことによる不都合を防止し、オフ電流値を低い値でかつ安定化し得

るTFTを提供することを目的とするものである。

〔構成〕

本発明のTFTは透明絶縁基板上に活性層として多結晶シリコンを形成したものである。透明絶縁基板のトランジスタを構成する面と反対側面に遮光層を設けたことを特徴とするものである。

以下に本発明をその一実施例を示す添付図面を参照して説明する。

第1図は本発明TFTの一実施例を示すものである。第1図において、1は例えば石英ガラス等の透明絶縁基板であり、この透明絶縁基板1の表面上には多結晶シリコン活性層2が設けられ、この活性層2上にはゲート絶縁膜3およびゲート電極4が順次積層され、これらの上には層間絶縁膜5が設けられ、さらにはメタル配線6が設けられ、TFTが構成されている。そして、このようなトランジスタが設けられた透明絶縁基板1上の表面側と反対側、すなわち透

明絶縁基板1の裏面には遮光層7が設けられている。

この遮光層7はTFTの活性層と同材料、すなわち多結晶シリコンで活性層2形成と同時に形成するようにすることが望ましい。もしくは遮光層7はゲート電極4と同材料、すなわち多結晶シリコンでゲート電極4の形成と同時に形成するようにしてもよい。このように遮光層7を活性層2もしくはゲート電極4の形成と同時に形成するようにすれば、遮光層7を形成するのに別工程を要することなく、従来のTFT形成工程と同工程数で形成可能となる。

このような遮光層7を活性層2と同時に形成する場合の工程を第2図を参照して説明する。

a)、透明絶縁基板としての石英ガラス板10上に、LPCVD法により多結晶シリコン11を600～650℃で膜厚1000～5000Åとなるように堆積する。この時、チューブ型LPCVD装置を用いれば、基板の両面に多結晶シリコンを堆積することができる。

- 3 -

b)、トランジスタを構成する面(以下、表面)にフォトリソレジスト12を塗布し、トランジスタの活性層パターンに露光、現像する。

c)、平行平板型のドライエッチング装置を用いて、表面のみをエッチングし、レジスト12を除去する。この時、エッチングされた面の反対側面(以下、裏面)の多結晶シリコン11はエッチングされずに残る。

d)、その後、公知の手段によりトランジスタを作成すれば、裏面の多結晶シリコンを残したままTFTが完成する。次いで、得られたTFTを常法に従って水素処理する。かくして、このTFTでは裏面に残った多結晶シリコンが裏面からの光に対して遮光層となる。この遮光層は活性層と同じ光吸収を示すので遮光層として最適である。

なお、上記のc)工程で両面をエッチングするような方法、例えばウェットエッチング等を用いる場合にはb')に示すように裏面にレジスト12を塗布すればよい。

- 5 -

- 4 -

また、本発明に係るTFTをTFT-TP型イメージセンサーに应用する場合には、第3図に示すように、裏面よりの光の入射角とセンサービット13およびTFTの位置を考慮して透明絶縁基板1の裏面に設ける遮光層7の一部を通常のエッチング方法で除去して採光窓14とすればよい。

〔効果〕

以上のような本発明によれば、透明絶縁基板上のトランジスタが形成される側と反対側面に遮光層を設けているため、水素処理された多結晶シリコン活性層に起因するオフ電流値の光応答性の問題が解決され、オフ電流値を低い値でかつ安定化し得るTFTが得られるという効果を有する。

4. 図面の簡単な説明

第1図は本発明に係るTFTの一実施例を示す概略説明図である。

第2図は本発明に係るTFTを製造する場合の工程の一部を示す説明図である。

- 6 -

第3図は本発明に係るTFTをTFT-型型
イメージセンサーに用いた 合の説明図である。

- | | |
|------------|-----------|
| 1…透明絶縁基板 | 2…活性層 |
| 3…ゲート絶縁膜 | 4…ゲート電極 |
| 5…層間絶 膜 | 6…メタル配線 |
| 7…遮光層 | 10…石英ガラス板 |
| 11…多結晶 | 12…レジスト |
| 13…センサービット | 14…遮光層 |

特 許 出 願 人 株式会社リ コ ー

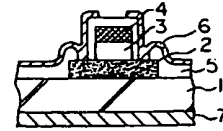
外 1 名

代理人 弁理士 佐 田 守 雄

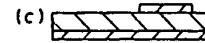
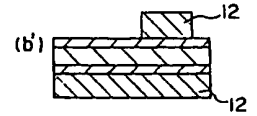
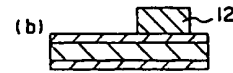
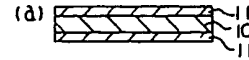
外 1 名



第 1 図



第 2 図



第 3 図

